

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321731
 (43)Date of publication of application : 03.12.1996

(51)Int.Cl. H03F 3/343
 H03F 3/45

(21)Application number : 07-128534 (71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

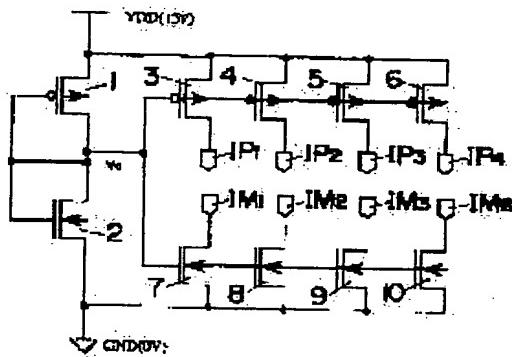
(22)Date of filing : 26.05.1995 (72)Inventor : OKITA ATSUSHI
 SUGINO SATOSHI
 SAKAMOTO SHINJI

(54) BIAS CURRENT SOURCE CIRCUIT AND DIFFERENTIAL AMPLIFIER

(57)Abstract:

PURPOSE: To make the area of an integrated circuit by connecting an analog basic circuit individually so as to supply or extract a bias current corresponding to a multi-stage mirror circuit.

CONSTITUTION: A voltage V_a divided by a PMOS transistor(TR) 1 and an NMOS TR 2 is fed to gates of PMOS TRs 3-6 being components of a mirror circuit for bias current supply and NMOS TRs 7-10 being components of a bias current extract mirror circuit. Then a bias current fed to each analog circuit is generated. Thus, it is possible to have provision for change in the number of analog basic circuits attended with entire specification change by changing the number of PMOS TRs 3-6 and NMOS TRs 7-10. Furthermore, the number of PMOS TRs 1 and NMOS TRs 2 is reduced.



LEGAL STATUS

[Date of request for examination] 12.06.1998
 [Date of sending the examiner's decision of rejection] 31.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321731

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.
H 03 F
3/343
3/45

識別記号 庁内整理番号

F I
H 03 F
3/343
3/45

技術表示箇所
A
A

審査請求 未請求 請求項の数3 O.L (全6頁)

(21)出願番号

特願平7-128534

(22)出願日

平成7年(1995)5月26日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 沖田 篤志

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 杉野 聰

大阪府門真市大字門真1048番地松下電工株式会社内

(72)発明者 坂本 健司

大阪府門真市大字門真1048番地松下電工株式会社内

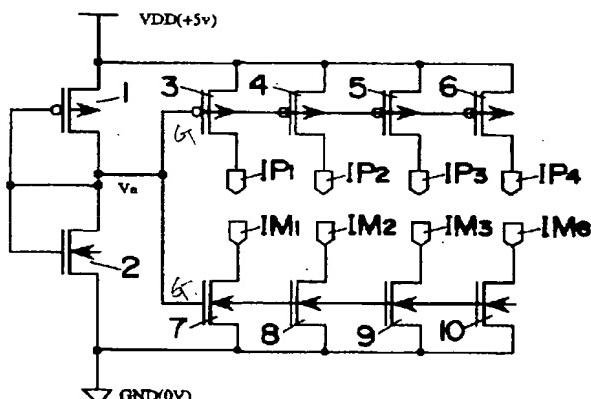
(74)代理人 弁理士 石田 長七 (外2名)

(54)【発明の名称】 バイアス電流源回路及び差動増幅器

(57)【要約】

【目的】 使用回路全体の面積を小面積化することができるバイアス電流源回路及びバイアス電流の供給がカットされたときに強制的に出力電圧を0Vとすることができる差動増幅器を提供するにある。

【構成】 PMOSトランジスタ1及びNMOSトランジスタ2はVDDとGNDの抵抗分割用の回路を構成している。バイアス電流供給用ミラー回路を構成するPMOSトランジスタ3…はソースをVDDに接続し、ドレンをバイアス電流供給用端子IP1…に夫々接続している。バイアス電流引抜き用ミラー回路を構成するNMOSトランジスタ7…はソースをGNDに接続し、ドレンをバイアス電流引抜き用端子IM1…に夫々接続している。又PMOSトランジスタ1及びNMOSトランジスタ2のドレンとPMOSトランジスタ3…及びNMOSトランジスタ7…のゲートとは共通接続している。



1～8 PMOSトランジスタ
7～10 NMOSトランジスタ
IP1～IP4 バイアス電流供給用端子
IM1～IM4 バイアス電流引抜き用端子

【特許請求の範囲】

【請求項1】NMOSトランジスタおよびPMOSトランジスタから構成された多段のミラー回路を有し、各ミラー回路に対応してバイアス電流を印加または引き抜くように各別にアナログ基本回路を接続することを特徴とするバイアス電流源回路。

【請求項2】前記各ミラー回路に用いられているNMOSトランジスタおよびPMOSトランジスタのゲートに印加される電圧を作成するために抵抗成分を利用するよう設けた第1のPMOSトランジスタに対して並列にバイアス電流のオン、オフ制御用の第2のPMOSトランジスタを接続したことを特徴とする請求項1記載のバイアス電流源回路。

【請求項3】請求項1若しくは請求項2のバイアス電流回路のミラー回路に接続されてバイアス電流を受けて動作する差動増幅器において、出力端子に対して並列にNMOSトランジスタを接続し、該NMOSトランジスタのゲート電圧を制御することで、前記バイアス電流源回路からのバイアス電流がカットされて非動作状態となつた時に出力電圧を強制的に0Vとすることを特徴とする差動増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多数のアナログ基本回路に対してバイアス電流を出力又は引き抜くバイアス電流源回路及び該バイアス電流源回路を用いる差動増幅器に関するものである。

【0002】

【従来の技術】従来の差動増幅器の構成を図4および図5に示す。図4はPMOSトランジスタ100、103、104およびNMOSトランジスタ101、102から構成される動作をオン・オフするための回路を備えている差動増幅器を示しており、この差動増幅器には回路が動作状態にあるときにバイアス電流を差動増幅器に供給するPMOSトランジスタ105およびNMOSトランジスタ115、116からなるバイアス電流源を付設している。入力端子123に”Low”電圧を印加した場合、PMOSトランジスタ103、104のゲートにはGND(0V)が印加されることからPMOSトランジスタ103、104はオンする。また、NMOSトランジスタ102、114のゲートには1段目のインバータを構成するPMOSトランジスタ100とNMOSトランジスタ101の出力VDD(+5V)が印加されるためNMOSトランジスタ102、114はオンする。このことから、PMOSトランジスタ106、107、108、113のゲートには出力VDD(+5V)が、NMOSトランジスタ115、116、117、119のゲートにはGND(0V)が印加されることから、MOSトランジスタ106、107、108、113、115、116、117、119はすべてオフとな

る。つまり、入力端子123に”Low”電圧を印加した場合、図4の差動増幅器は非動作状態となる。入力端子123に”High”を印加した場合は逆にPMOSトランジスタ103、104とNMOSトランジスタ102、114はオフとなって、PMOSトランジスタ105がオンとなりPMOSトランジスタ105からNMOSトランジスタ115、116及び118に向かってバイアス電流が流入することにより図4の差動増幅器は動作状態となる。

【0003】尚差動増幅器はNMOSトランジスタ111、112からなる差動入力部、PMOSトランジスタ109、110からなるミラー回路、及びPMOSトランジスタ118とからなる差動増幅回路と、NMOSトランジスタ113、PMOSトランジスタ119からなる出力回路、位相補償用容量122とで構成される。またVINPは正極入力端子、VINNは負極入力端子、OUTは出力端子である。

【0004】図5の差動増幅器は図4の差動増幅器とは異なり、回路のオン・オフ機能を持たず、PMOSトランジスタ130およびNMOSトランジスタ137から構成されるバイアス電流源のみを持つものである。尚差動増幅器はNMOSトランジスタ135、136からなる差動入力部、PMOSトランジスタ131、132からなるミラー回路とPMOSトランジスタ138とからなる差動増幅回路と、NMOSトランジスタ133、134、140、PMOSトランジスタ139からなる出力回路と、位相補償用容量143とで構成される。

【0005】

【発明が解決しようとする課題】上記従来例の問題点は、これらの差動増幅器を多数利用してアナログ回路を構成した場合、図4の差動増幅器ではオン・オフ回路とバイアス電流源、図5ではバイアス電流源が差動増幅器に付設された形態となっているため、差動増幅器を多数用いて集積化した場合、集積回路全体の面積が大面積化してしまうという問題点があった。特に、バイアス電流源はPMOSトランジスタおよびNMOSトランジスタの抵抗成分がバイアス電流値を決定するため、小信号の増幅回路部の電流源に用いるMOSトランジスタは増幅回路部を構成するMOSトランジスタより規模の大きいMOSトランジスタが使用されることになる。また、図4の演算増幅器のようにオン・オフ回路を備えている場合、動作状態から非動作状態に回路状態が移行した時に出力電圧が不安定になり、その出力が比較器に入力されるものであれば比較器以降の回路の誤動作につながるといった問題点があった。

【0006】本発明は上記のような問題点に鑑みて為されたものであり、請求項1の発明の目的は、集積した場合の回路面積を小面積化することができるバイアス電流源回路を提供するにある。請求項2の発明は、請求項1の発明において、出力するバイアス電流をオン、オフす

ことができるバイアス電流源回路を提供するにある。
【0007】請求項3の発明は、請求項1又は2の発明のバイアス電流源回路からバイアス電流の供給を受けるものにおいて、バイアス電流がカットされて非動作状態となつた場合出力電圧を強制的に0Vにすることができる差動増幅器を実現することである。

【0008】

【課題を解決するための手段】請求項1の発明では、NMOSトランジスタおよびPMOSトランジスタから構成された多段のミラー回路を有し、各ミラー回路に対応してバイアス電流を印加または引き抜くように各別にアナログ基本回路を接続するものである。請求項2の発明では、請求項1の発明において、前記各ミラー回路に用いられているNMOSトランジスタおよびPMOSトランジスタのゲートに印加される電圧を作成するために抵抗成分を利用するように設けた第1のPMOSトランジスタに対して並列にバイアス電流のオン、オフ制御用の第2のPMOSトランジスタを接続したものである。

【0009】請求項3の発明では、請求項2のバイアス電流回路のミラー回路に接続されてバイアス電流を受けて動作する差動増幅器において、出力端子に対して並列にNMOSトランジスタを接続し、該NMOSトランジスタのゲート電圧を制御することで、前記バイアス電流回路からのバイアス電流がカットされて非動作状態となつた時に出力電圧を強制的に0Vとするものである。

【0010】

【作用】請求項1の発明によれば、NMOSトランジスタおよびPMOSトランジスタから構成された多段のミラー回路を有し、各ミラー回路に対応してバイアス電流を印加または引き抜くように各別にアナログ基本回路を接続するので、ミラー回路のバイアス電流を供給するするPMOSトランジスタと、バイアス電流を引き抜くNMOSトランジスタの配置数を変更することで、用いる回路全体の仕様変更に伴うアナログ基本回路の使用個数変動に対応することが可能であるだけでなく、電源電圧の抵抗分割に用いられるPMOSトランジスタおよびNMOSトランジスタの個数を削減できることからアナログ基本回路とともに集積した場合の回路全体の面積を小面積化することが可能となる。

【0011】請求項2の発明によれば、請求項1の発明において、前記各ミラー回路に用いられているNMOSトランジスタおよびPMOSトランジスタのゲートに印加される電圧を作成するために抵抗成分を利用するように設けた第1のPMOSトランジスタに対して並列に第2のPMOSトランジスタを接続したので、該第2のPMOSトランジスタのゲート電圧を制御することにより、各ミラー回路から出力されるバイアス電流のオン、オフを切り替えることができる。

【0012】請求項3の発明によれば、請求項1若しくは請求項2のバイアス電流回路のミラー回路に接続され

てバイアス電流を受けて動作する差動増幅器において、出力端子に対して並列にNMOSトランジスタを接続し、該NMOSトランジスタのゲート電圧を制御することで、前記バイアス電流回路からのバイアス電流がカットされて非動作状態となつた時に出力電圧を強制的に0Vとするので、バイアス電流回路から供給されるバイアス電流がカットされ、非動作状態となる場合出力電圧を強制的に0Vとすることにより、当該差動増幅器の出力を利用する回路の誤動作を防止することが可能となる。

【0013】

【実施例】以下本発明を実施例により説明する。

(実施例1) 図1は請求項1の発明に対応する本実施例を示しており、電源電圧を抵抗分圧するためのPMOSトランジスタ1およびNMOSトランジスタ2の内、PMOSトランジスタ1はソースをVDD(+5V)、ドレインをNMOSトランジスタ2のドレインに接続し、NMOSトランジスタ2はソースをGND(0V)に接続し、PMOSトランジスタ1とNMOSトランジスタ2のゲートおよびドレインはそれぞれ共通接続している。

【0014】夫々がバイアス電流供給用のミラー回路を構成するPMOSトランジスタ3、4、5、6はソースをVDD(+5V)に接続し、ドレインをバイアス電流供給用端子IP1、IP2、IP3、IP4にそれぞれ接続している。バイアス電流引抜き用のミラー回路を構成するNMOSトランジスタ7、8、9、10はソースをGND(0V)に接続し、ドレインをバイアス電流引抜き用端子IM1、IM2、IM3、IM4にそれぞれ接続している。PMOSトランジスタ1およびNMOSトランジスタ2のドレインとPMOSトランジスタ3、4、5、6およびNMOSトランジスタ7、8、9、10のゲートとは共通に接続されている。

【0015】而してPMOSトランジスタ1とNMOSトランジスタ2によって分割された電圧Vaがミラー回路を構成する各PMOSおよびNMOSの各トランジスタ3、4、5、6および7、8、9、10のゲートに印加され、各アナログ回路に供給するバイアス電流を発生する。前述にもある通りアナログ全体回路の使用変更でアナログ回路数が変更された場合でもPMOSトランジスタおよびNMOSトランジスタの追加および削減により容易に調節が可能である。

【0016】(実施例2) 図2は請求項2の発明に対応する本実施例の回路を示しており、本実施例回路は各アナログ回路に供給するバイアス電流の作成方法および回路動作は図1のバイアス電流源回路と同様であるが、図1のPMOSトランジスタ1に並列にPMOSトランジスタ11を接続したものである。本実施例回路においてバイアス電流を出力する場合、入力端子12はPMOSトランジスタ11がオフ状態となる程度の電圧を印加し

ておく。その場合PMOSトランジスタ3、4、5、6のゲートにはPMOSトランジスタ1とNMOSトランジスタ2から構成される抵抗分割回路から出力される電圧Vbが印加された状態にある。またバイアス電流をカットする場合、入力端子12に0Vを入力するよう全体回路動作を設定しておく。すると入力端子12からの印加電圧が低下しPMOSトランジスタ11がオン状態となると、電源ラインVDD(+5V)から電流が流入しPMOSトランジスタ3、4、5、6のゲートに電荷が蓄積してPMOSトランジスタ3、4、5、6はオフしバイアス電流がカットされる。このような構造にすると図4に示した差動増幅器に配置されているような動作カット用の回路は必要でなくなり、小面積化が実現できる。

【0017】(実施例3)図3は請求項3の発明に対応する本実施例の差動増幅器の回路を示している。図において、NMOSトランジスタ55、56は差動入力部を構成し、PMOSトランジスタ51、52およびNMOSトランジスタ58、59、60はそれぞれミラー回路を構成している。また容量57は位相補償用の容量である。入力端子67は実施例2(又は1)のバイアス電流源回路からのバイアス電流を入力するための端子で、バイアス電流源回路からのバイアス電流がカットされた場合入力端子67に印加される電流も従ってカットされる。すると差動増幅器の動作もオフする。この場合出力端子P OUTの出力電圧が不安定となるため、差動増幅器の出力端子OUTに接続されたNMOSトランジスタ62のゲート電圧が印加するように全体回路を動作させれば差動増幅器が非動作状態となった時の出力が強制的にGND(0V)となる。従って、差動増幅器の出力が入力される例えば比較器や、差動増幅器が使用される回路全体の誤動作を防止することができる。尚出力回路はMOSトランジスタ53、54、61、PMOSトランジスタ60からなる。

【0018】

【発明の効果】請求項1の発明は、NMOSトランジスタおよびPMOSトランジスタから構成された多段のミラー回路を有し、各ミラー回路に対応してバイアス電流を印加または引き抜くように各別にアナログ基本回路を接続するので、ミラー回路のバイアス電流を供給するするPMOSトランジスタと、バイアス電流を引き抜くN

MOSトランジスタの配置数を変更することで、用いる回路全体の仕様変更に伴うアナログ基本回路の使用個数変動に対応することが可能であるだけでなく、電源電圧の抵抗分割に用いられるPMOSトランジスタおよびNMOSトランジスタの個数を削減できることからアナログ基本回路とともに集積した場合の回路全体の面積を小面積化することが可能となるという効果がある。

【0019】請求項2の発明は、請求項1の発明において、前記各ミラー回路に用いられているNMOSトランジスタおよびPMOSトランジスタのゲートに印加される電圧を作成するために抵抗成分を利用するよう設けた第1のPMOSトランジスタに対して並列に第2のPMOSトランジスタを接続したので、該第2のPMOSトランジスタのゲート電圧を制御することにより、各ミラー回路から出力されるバイアス電流のオン、オフを切り替えることができるという効果がある。

【0020】請求項3の発明は、請求項1若しくは請求項2のバイアス電流回路のミラー回路に接続されてバイアス電流を受けて動作する差動増幅器において、出力端子に対して並列にNMOSトランジスタを接続し、該NMOSトランジスタのゲート電圧を制御することで、前記バイアス電流源回路からのバイアス電流がカットされて非動作状態となった時に出力電圧を強制的に0Vとするので、バイアス電流源回路から供給されるバイアス電流がカットされ、非動作状態となる場合出力電圧を強制的に0Vとすることにより、当該差動増幅器の出力を利用する回路の誤動作を防止することができるという効果がある。

【図面の簡単な説明】

【図1】請求項1の発明に対応する実施例1のバイアス電流源回路の回路図である。

【図2】請求項2の発明に対応する実施例2のバイアス電流源回路の回路図である。

【図3】請求項3の発明に対応する実施例3の差動増幅器の回路図である。

【図4】従来例の差動増幅器の回路図である。

【図5】別の従来例の差動増幅器の回路図である。

【符号の説明】

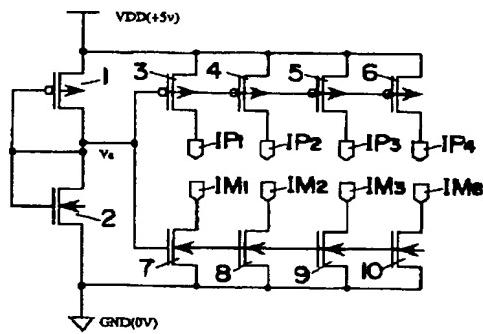
1~6 PMOSトランジスタ

7~10 NMOSトランジスタ

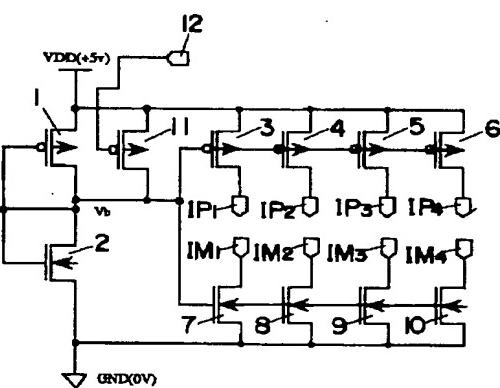
I P 1~I P 4 バイアス電流供給用端子

I M 1~I M 4 バイアス電流引抜き用端子

【図1】

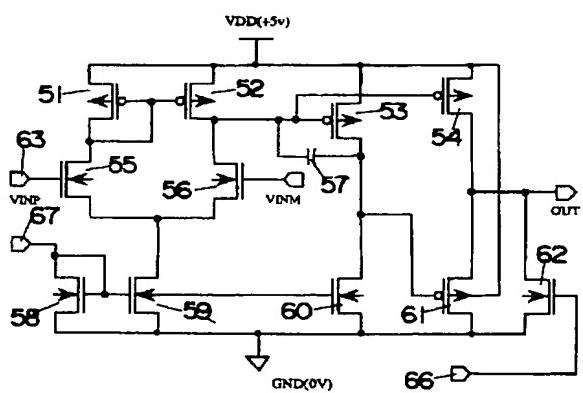


【図2】

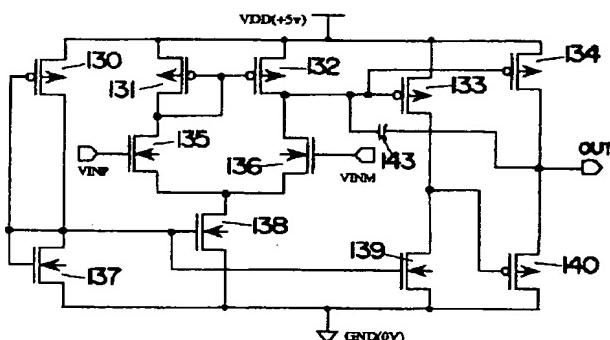


1 ~ 8 PMOSトランジスタ
 9 ~ 10 NMOSトランジスタ
 IP1 ~ IP4 バイアス電流供給用端子
 IM1 ~ IM4 バイアス電流引抜き用端子

【図3】



【図5】



【図4】

